

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09036313

(43)Date of publication of application: 07.02.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/28

(21)Application number: 07185758

(71)Applicant:

NEC CORP

(22)Date of filing: 21.07.1995

(72)Inventor:

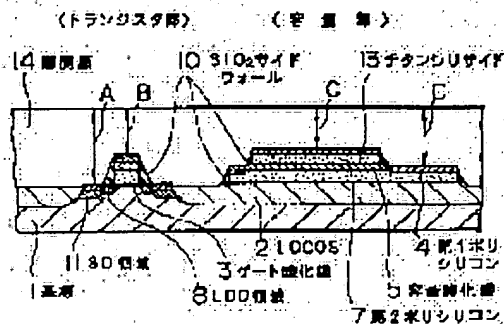
CHATANI MASAO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the step-difference of a capacitor, flatten an interlayer film, facilitate the formation of contact, and reduce waste like the growth of a superfluous film, in a semiconductor device having a capacitance element of high precision.

SOLUTION: In a semiconductor device of polysilicon gate or salicide gate structure which device has a capacitance element, and the manufacturing method of the device, the growth of gate polysilicon is divided into two processes, a capacitor insulating film 5 is grown after first polysilicon 4 is grown, and second polysilicon 7 is grown after the capacitor insulating film 5 is patterned in the form of a capacitor lower electrode. After that, photoresist is patterned in the forms of a gate electrode and a capacitor upper electrode, and the gate electrode and the upper and the lower electrodes of the capacitor are formed at the same time, by etching the polysilicon. Hence structure in which step-difference is not increased can be obtained by a simple process.



LEGAL STATUS

[Date of request for examination] 21.07.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]
[Date of final disposal for application]
[Patent number] 2773690
[Date of registration] 24.04.1998
[Number of appeal against examiner's decision of
rejection]
[Date of requesting appeal against examiner's decision
of rejection]
[Date of extinction of right]

Copyright (C), 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-36313

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
21/822
21/28

3 0 1

H 0 1 L 27/04
21/28

C
3 0 1 T

審査請求 有 請求項の数 7 O L (全 11 頁)

(21)出願番号 特願平7-185758

(22)出願日 平成7年(1995)7月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 茶谷 雅夫

東京都港区芝五丁目7番1号 日本電気株
式会社内

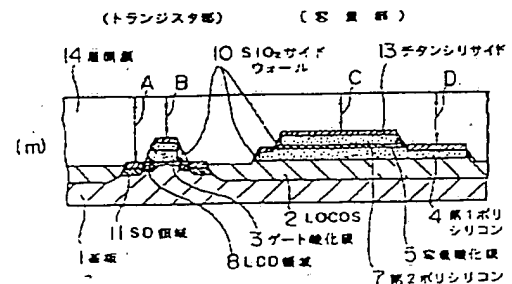
(74)代理人 弁理士 鈴木 弘男

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【課題】 高精度な容量素子を持つ半導体装置において、容量の段差を低減し、層間膜の平坦化及びコンタクトの形成を容易にし、且つ余分な膜の成長等の無駄を減らす。

【解決手段】 ポリシリコンゲートもしくはサリサイドゲート構造で容量素子を併せ持つ半導体装置およびその製造方法において、ゲートポリシリコンの成長を2回に分け、第1のポリシリコン4の成長後に容量絶縁膜5を成長させ、容量絶縁膜5を容量下部電極の形状にパターニングした後、第2のポリシリコン7を成長させる。その後、フォトリソスト6をゲート電極および容量上部電極形状にパターニングし、ポリシリコンエッチングを行なうことによってゲート電極及び容量の上下電極を同時に形成することにより、簡略な工程で段差の増加しない構造が得られる。



【特許請求の範囲】

【請求項1】 MOS型半導体装置の製造方法において、半導体基板上に分離用LOCOS酸化膜及びMOS型トランジスタ形成領域にゲート酸化膜を形成する工程と、前記LOCOS酸化膜及び前記ゲート酸化膜上に第1のポリシリコン膜を成長させる工程と、前記第1のポリシリコン膜上に単層もしくは複層の容量絶縁膜を成長させる工程と、容量の下部電極生成領域以外の前記単層もしくは複層の容量絶縁膜を選択的に除去する工程と、前記第1のポリシリコン膜及び前記単層もしくは複層の容量絶縁膜上に第2のポリシリコン膜を成長させる工程と、フォトリソグラフィ技術を用いフォトレジストをゲート電極の形状及び単層もしくは複層の容量絶縁膜が形成された領域内の容量の上部電極の形状にパターンニングする工程と、前記フォトレジストをマスクとしてポリシリコンの異方性エッチングを行ない、前記ゲート電極を前記第1のポリシリコン膜及び前記第2のポリシリコン膜の積層構造で形成すると同時に、容量の前記上部電極を前記フォトレジストをマスクとしてエッチングされた前記第2のポリシリコン膜で形成し、かつ容量の前記下部電極を前記単層もしくは複層の容量絶縁膜をマスクとして自己整合的にエッチングされた前記第1のポリシリコン膜で形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のポリシリコン膜で形成された容量の下部電極形成領域を選択的に酸化し、容量絶縁膜を形成する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記ゲート電極及び前記第2のポリシリコン膜で形成された容量の上部電極並びに前記第1のポリシリコン膜で形成された容量の下部電極それぞれの側壁にシリコン酸化膜もしくはシリコン窒化膜を含むサイドウォールを形成する工程と、前記ゲート電極のポリシリコン表面とMOS型トランジスタのソース・ドレイン領域のシリコン表面を露出させ、かつ前記第2のポリシリコン膜で形成された容量の前記下部電極の少なくとも一方のポリシリコン表面の一部もしくは全面を露出させる工程と、全面にTi膜を形成し熱処理により露出した前記シリコン表面もしくは前記ポリシリコン表面にチタンシリサイド膜を形成し、未反応のTi膜を除去する工程をさらに含むことを特徴とする請求項1及び2のいずれか一項に記載の半導体装置の製造方法。

【請求項4】 ポリシリコン上部電極／容量絶縁膜／ポリシリコン下部電極構造の容量素子を持つMOS型半導体装置において、ゲート電極が前記ポリシリコン上部電極及び前記ポリシリコン下部電極の積層構造であることを特徴とする半導体装置。

【請求項5】 前記ゲート電極の表面がチタンシリサイドであり、かつ容量のポリシリコン上部電極及びポリシリコン下部電極の表面がシリコン酸化膜もしくはシリコン窒化膜であることを特徴とする半導体装置。

面の一部がチタンシリサイドであることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記容量絶縁膜がシリコン酸化膜もしくはシリコン窒化膜を含む単層もしくは複層の膜であることを特徴とする請求項4及び5のいずれか一項に記載の半導体装置。

【請求項7】 前記ポリシリコン上部電極及び前記ポリシリコン下部電極の少なくとも一方で抵抗素子を構成することを特徴とする請求項4から6までのいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に高精度な容量を持つ半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来の半導体装置及びその製造方法は、図10から図12までに示すように、基板1上のLOCOS酸化膜2で分離されたトランジスタ領域にゲート酸化膜3を形成した後、容量の下部電極となる第1ポリシリコン4及び容量酸化膜5を形成し（図10の（A）参照）、容量の下部電極部のみフォトレジスト6でマスク第1ポリシリコン4及び容量酸化膜5をエッチングする（図10の（B）参照）。ここでゲート酸化膜をウェットエッチした後に付け直すこともある。その後、第1ポリシリコン4の側壁を酸化することによってSiO₂膜15を形成（図10の（C）参照）した後、第2のポリシリコン7及びタングステンシリサイド膜16を成長させ（図10の（D）参照）、フォトリソグラフィ工程及び第2ポリシリコン7、タングステンシリサイド膜16のエッチングによりゲート電極、容量の上部電極を形成する（図11の（E）及び（F）参照）。さらに、トランジスタ領域にイオン注入を用いてLDD領域8を形成し（図11の（G）参照）、さらにSiO₂膜9の形成（図11の（H）参照）及びエッチバックによりゲート電極、容量電極の側壁にSiO₂サイドウォール10を形成する（図12の（I）参照）。ここで容量の下部電極である第1ポリシリコン4の側壁には、第2ポリシリコン7のエッチング時の残渣としてポリシリコンサイドウォール7'が形成されることがある。

【0003】その後トランジスタ領域にイオン注入を用いてSD領域11を形成し（図12の（J）参照）、単層もしくは複層の絶縁膜がなる層間膜14を形成し平坦化した後（図12の（K）参照）、配線工程により集積回路装置を形成していた。またここでSD領域形成のイオン注入時薄いSiO₂膜を形成しダメージを防ぐこともよく行なわれる。

【0004】また、第2の従来例を図13ないし図14

膜3を形成した後、ゲート電極及び容量の下部電極となる第1ポリシリコン4及び容量酸化膜5、容量の上部電極となる第2ポリシリコン7を形成し(図13の(a)参照)つぎに容量の上部電極部のみフォトリソグレイ工程でマスクし第2ポリシリコン7及び容量酸化膜5をエッチングする(図13の(b)参照)。さらにゲート電極及び容量の下部電極をフォトリソグラフィ工程及び第1ポリシリコン4のエッチングにより形成する(図13の(c)及び(d)参照)。ここでトランジスタ領域にイオン注入を用いてLDD領域8を形成し(図14の(e)参照)、さらに SiO_2 膜9の形成(図14の(f)参照)及びエッチバックによりゲート電極、容量電極の側壁に SiO_2 サイドウォール10を形成し、トランジスタ領域にイオン注入を用いてSD領域11を形成する(図14の(g)参照)。

【0005】ここでチタンサリサイド構造を形成するためゲート電極、トランジスタ部のSD領域、容量電極部のシリコン面を露出させた後、全面にTi膜12を形成し(図14の(h)参照)、ランプアニール等によりシリコンとTi膜を反応させチタンシリサイド膜を形成する(図15の(i)参照)。 SiO_2 膜とTi膜は反応しない為、未反応のTi膜19を除去し(図15の(j)参照)、その後、単層もしくは複層の絶縁膜からなる層間膜14を形成し、該層間膜14を平坦化した後(図15の(k)参照)、配線工程により集積回路装置を形成していた。

【0006】

【発明が解決しようとする課題】この従来の集積回路装置及びその製造方法は、ゲート電極上もしくはゲート電極下に容量電極が形成される為、容量絶縁膜は多くの場合50nm程度もしくはそれ以下であり、特に問題はないと考えられるが、容量電極の膜厚は、150nm~500nm程度あり、層間膜形成時に平坦化が困難になり、この層間膜の平坦化のため工程数及び製造時間が増加するという問題点があった。またこの段差の増大は、層間膜形成後のコンタクトホール形成時にもコンタクトホールの深さの違いからコンタクトホール形成が困難になるという問題点もある。

【0007】また容量を形成しないプロセスに対し、容量電極として新たな膜の成長が必要であり、さらに電極部以外の膜をエッチング除去するために無駄が多くなり、製造時間がさらに増加していた。

【0008】そこで、本発明は、高精度な容量素子を持つ半導体装置において、容量部の段差を低減し、層間膜の平坦化及びコンタクトの形成を容易にし、かつ余分な膜の成長等の無駄を減らした半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため

の形成を容量を形成しないポリシリコンゲートプロセスもしくはサリサイドゲートプロセスにおいて、ゲートポリシリコンの成長を2回に分け、2層のゲートポリシリコン間に容量絶縁膜を形成し、それぞれのゲートポリシリコン膜を容量電極とするようになっている。

【0010】本発明の製造方法の基本態様によれば、MOS型半導体装置の製造方法において、半導体基板上に分離用LOCOS酸化膜及びMOS型トランジスタ形成領域にゲート酸化膜を形成する工程と、前記LOCOS酸化膜及び前記ゲート酸化膜上に第1のポリシリコン膜を成長させる工程と、前記第1のポリシリコン膜上に単層もしくは複層の容量絶縁膜を成長させる工程と、容量の下部電極生成領域以外の前記単層もしくは複層の容量絶縁膜を選択的に除去する工程と、前記第一のポリシリコン膜及び前記単層もしくは複層の容量絶縁膜上に第2のポリシリコン膜を成長させる工程と、フォトリソグラフィ技術を用いフォトリソグレイをゲート電極の形状及び単層もしくは複層の容量絶縁膜が形成された領域内の容量の上部電極の形状にパターニングする工程と、前記フォトリソグレイをマスクとしてポリシリコンの異方性エッチングを行ない、前記ゲート電極を前記第1のポリシリコン膜及び前記第2のポリシリコン膜の積層構造で形成すると同時に、容量の前記上部電極を前記フォトリソグレイをマスクとしてエッチングされた前記第2のポリシリコン膜で形成し、かつ容量の前記下部電極を前記単層もしくは複層の容量絶縁膜をマスクとして自己整合的にエッチングされた前記第1のポリシリコン膜で形成する工程を含むことを特徴とする半導体装置の製造方法が提供される。

【0011】上記製造方法の基本態様における容量絶縁膜は、前記第1のポリシリコン膜で形成された容量の下部電極形成領域を選択的に酸化することによって形成されもよい。

【0012】上記製造方法の基本態様には、前記ゲート電極及び前記第2のポリシリコン膜で形成された容量の上部電極並びに前記第1のポリシリコン膜で形成された容量の下部電極それぞれの側壁にシリコン酸化膜もしくはシリコン窒化膜を含むサイドウォールを形成する工程と、前記ゲート電極のポリシリコン表面とMOS型トランジスタのソース・ドレイン領域のシリコン表面を露出させ、かつ前記第2のポリシリコン膜で形成された容量の前記下部電極の少なくとも一方のポリシリコン表面の一部もしくは全面を露出させる工程と、全面にTi膜を形成し熱処理により露出した前記シリコン表面もしくは前記ポリシリコン表面にチタンシリサイド膜を形成し、未反応のTi膜を除去する工程がさらに含まれる。

【0013】本発明の半導体装置の基本態様によれば、ポリシリコン上部電極/容量絶縁膜/ポリシリコン下部電極構造の容量素子を持つMOS型半導体装置におい

リシリコン下部電極の積層構造であることを特徴とする半導体装置が提供される。

【0014】上記半導体装置の基本態様におけるゲート電極は、その表面がチタンシリサイドであり、かつ容量のポリシリコン上部電極及びポリシリコン下部電極の少なくとも一方の表面全体もしくは表面の一部もまたチタンシリサイドである。

【0015】上記半導体装置の基本態様における容量絶縁膜は、シリコン酸化膜もしくはシリコン窒化膜を含む単層もしくは複層の膜である。

【0016】上記半導体装置の基本態様におけるポリシリコン上部電極及びポリシリコン下部電極の少なくとも一方で抵抗素子が構成される。

【0017】

【発明の実施の形態】以下、本発明の好ましい幾つかの実施の形態を図面を参照して説明する。

【0018】図1は、本発明の第1の実施の形態を示す半導体チップの断面図である。従来例と同様に基板1上のLOCOS酸化膜2で分離されたトランジスタ領域にゲート酸化膜3を形成した後、容量の下部電極となる第1ポリシリコン4を50nm～300nm程度の膜厚で成長させ（本実施例では150nmとする）必要に応じてイオン注入もしくは拡散により不純物を導入後、さらに容量絶縁膜となる容量酸化膜5を5nm～100nm程度の膜厚（本実施例では20nmとする）で成長させる（図1の（a）参照）。ここで容量絶縁膜は単層もしくは複層の絶縁膜で形成することが可能である。続いて、容量の下部電極部のみフォトリソでマスクし容量酸化膜5をエッチング（図1の（b）参照）した後、容量の上部電極となる第2ポリシリコン7を第1ポリシリコン4と同様に50nm～300nm程度の膜厚（本実施例では150nmとする）で成長させる（図1の（c）参照）。ここで第1ポリシリコン4と第2ポリシリコン7の膜厚の合計は、従来のゲートポリシリコンの膜厚と同等とする。すなわち300nmのゲートポリシリコンを150nmの膜厚で2回に分けて成長させ、容量部のみ第1および第2ポリシリコン膜の間に容量酸化膜5を20nmの厚さで形成している。

【0019】次に、トランジスタのゲート電極部及び容量の上部電極部のみフォトリソでマスクし（図1の（d）参照）、ポリシリコンエッチングを行なう。ここでトランジスタのゲート電極部では第2ポリシリコン7及び第1ポリシリコン4がマスク形状通りにエッチングされるが、容量部ではフォトリソをマスクとして第2ポリシリコン7がエッチングされ容量の上部電極が形成された後は容量の下部電極形状の容量酸化膜5が露出する。ポリシリコンエッチングにおけるポリシリコンとシリコン酸化膜の高選択比（ポリシリコン/ SiO_2 ＝約30～40）により容量酸化膜5が露出した領域で

第1ポリシリコン4がエッチングされ、ゲート電極と容量部が同時に形成される（図2の（e）参照）。

【0020】さらに、従来例と同様にトランジスタ領域にイオン注入を用いてLDD領域8を形成し（図2の（f）参照）、さらに SiO_2 膜9の形成（図2の（g）参照）及びエッチバックによりゲート電極、容量電極の側壁に SiO_2 サイドウォール10を形成し（図2の（h）参照）、トランジスタ領域にイオン注入を用いてSD領域11を形成する（図3の（i）参照）。このSD領域11の形成と同時にゲート電極及び容量電極への不純物導入も可能である。

【0021】ここでチタンシリサイド構造を形成するためゲート電極、トランジスタ部のSD領域、容量電極部のシリコン面を露出させた後、全面にTi膜12を形成し（図3の（j）参照）、ランプアニール等によりシリコンとTi膜を反応させチタンシリサイド膜13を形成する（図3の（k）参照）。 SiO_2 膜とTi膜は反応しないため未反応のTi膜19を除去し（図3の（l）参照）、その後、単層もしくは複層の絶縁膜からなる層間膜14を形成し、該層間膜14を平坦化した後（図4の（m）参照）、配線工程により集積回路装置を形成する。

【0022】また、この第1の実施の形態における容量絶縁膜の形成に関する変形例を図5の（1）～（4）に示す。トランジスタ領域にゲート酸化膜3を形成した後、容量の下部電極となる第1ポリシリコン4を150nm、マスク窒化膜18を20nm程度の膜厚でそれぞれ成長させ（図5の（1）参照）、容量の下部電極部のマスク窒化膜18を開孔した後（図5の（2）参照）、マスク窒化膜をマスクとした酸化を行うことにより SiO_2 膜9を成長させること（図5の（3）参照）により、容量絶縁膜を形成させることも可能であり、その後、マスク窒化膜18を除去し、第2ポリシリコン7を150nmほどに成長させた後（図5の（4）参照）、図1の（d）と同様の工程で集積回路装置を形成する。

【0023】この第1の実施の形態では、図4の（m）に示すようにトランジスタ部のゲート電極Bに対し容量の上部電極部Cは容量酸化膜厚20nm分しか段差が増加しない。さらに容量絶縁膜を酸化で形成する場合は半分の10nmとなる。

【0024】図6～9は、本発明の第2の実施の形態を示す半導体チップの断面図であり容量素子の他に抵抗素子を形成する。第1の実施の形態と同様に基板1上のLOCOS酸化膜2で分離されたトランジスタ領域にゲート酸化膜3を形成した後、容量の下部電極となる第1ポリシリコン4を150nmの膜厚で成長した後に容量絶縁膜となる容量酸化膜17及び容量酸化膜5を合計で5nm～100nm程度の膜厚（本実施の形態では20nmとする）で成長させる（図6の（a）参照）、つぎに

くし容量酸化膜5及び容量窒化膜をエッチング(図6の(b)参照)した後、第1の実施の形態と同様にゲート電極及び容量の上部電極となる第2ポリシリコン7を150nm成長させる(図6の(c)参照)。

【0025】次に、トランジスタのゲート電極部及び容量の上部電極部、下部電極のコンタクト部及び抵抗のコンタクト部をフォトレジスト6₁～6₅でマスクし(図6の(d)参照)、ポリシリコンエッチングを行なう。ここでトランジスタのゲート電極部では第2ポリシリコン7及び第1ポリシリコン4がマスク形状通りにエッチングされるが、容量部ではフォトレジストをマスクとして第2ポリシリコン7がエッチングされ容量の上部電極が形成された後は容量の下部電極形状の容量酸化膜5が露出する。容量酸化膜5が露出した領域では容量酸化膜5がマスクとなり容量の下部電極の形状で第1ポリシリコン4がエッチングされ、ゲート電極と容量部が同時に形成されると共に抵抗のコンタクト部及び容量の下部電極のコンタクト部は、フォトレジスト及び容量酸化膜5をマスクとして第2ポリシリコン7と第1ポリシリコン4がエッチングされる(図7の(e)参照)。

【0026】さらに、第1の実施の形態と同様にトランジスタ領域にイオン注入を用いてLDD領域8を形成し(図7の(f)参照)、さらにSiO₂膜9の形成(図7の(g)参照)及びエッチバックによりゲート電極、容量電極、抵抗電極の側壁にSiO₂サイドウォール10を形成し、さらにトランジスタ領域にイオン注入を用いてSD領域11を形成する(図7の(h)参照)。SiO₂膜9のエッチバック時、容量の下部電極、抵抗電極上には容量窒化膜17が残る。

【0027】ここでチタンシリサイド構造を形成するためゲート電極、トランジスタ部のSD領域、容量電極部のシリコン面を露出させた後、全面にTi膜12を形成し(図8の(i)参照)、ランプアニール等によりシリコンとTi膜を反応させチタンシリサイド膜13を形成する(図8の(j)参照)。未反応のTi膜19を除去し(図8の(k)参照)、その後、単層もしくは複層の絶縁膜からなる層間膜14を形成しかつ平坦化した後(図8の(l)参照)、配線工程により集積回路装置を形成する。ここで容量の下部電極、抵抗電極は容量窒化膜17が残っているためチタンシリサイド化されずコンタクト部の第2ポリシリコンのみがチタンシリサイド化される。

【0028】また、この第2の実施の形態の図6の

(d)において、抵抗のコンタクト部及び容量の下部電極全面に容量窒化膜17を残し、抵抗と容量の下部電極とをチタンシリサイド化させない構造で集積回路装置を形成することができる(図9参照)。

【0029】この第2の実施の形態でも、図8の(1)及び図9に示すようにトランジスタ部のゲート電極部

膜厚20nm分しか段差が増加しない。

【0030】

【発明の効果】以上説明した様に本発明は、ポリシリコンゲートプロセスもしくはサリサイドゲートプロセスにおいて、ゲートポリシリコンの成長を2回に分け、2層のゲートポリシリコン間に容量絶縁膜を形成し、それぞれのゲートポリシリコン膜を容量電極とすることにより容量を形成しないプロセスに対し、容量絶縁膜の膜厚分もしくは容量絶縁膜の膜厚の半分しか段差が増加しない。従来では、容量電極の膜厚と、容量絶縁膜の膜厚の合計(150nm～500nm程度)であり、容量絶縁膜の膜厚は、必要とされる単位容量によって異なるが、多くの場合50nm程度もしくはそれ以下であるため従来に比べて膜厚の増加は非常に小さい。よって層間膜形成のプロセスを変える必要がなく層間膜の平坦化において工程数及び製造時間の増加はない。また、この膜厚の変化が小さいため層間膜形成後のコンタクトホールの深さもほとんど変わらずコンタクトホール形成においても工程数及び製造時間の増加はない。

【0031】また容量を形成しないプロセスに対し容量電極として新たな膜の成長が必要なく、容量絶縁膜のパターニング及びエッチングの工程増加はあるが、容量電極のエッチングはゲート電極のエッチングと同時に進めるために無駄が少なく、製造時間及びコストの増加を最小限に抑えることができる。

【図面の簡単な説明】

【図1】(a)から(d)はそれぞれ本発明の第1の実施の形態に関するプロセスチャートを示す半導体チップの断面図である。

【図2】(e)から(h)はそれぞれ本発明の第1の実施の形態に関するプロセスチャートを示す半導体チップの断面図である。

【図3】(i)から(l)はそれぞれ本発明の第1の実施の形態に関するプロセスチャートを示す半導体チップの断面図である。

【図4】(m)は本発明の第1の実施の形態に関するプロセスチャートを示す半導体チップの断面図である。

【図5】(1)から(4)はそれぞれ本発明の第1の実施の形態の変形例に関するプロセスチャートを示す半導体チップの断面図である。

【図6】(a)から(d)はそれぞれ本発明の第2の実施の形態の変形例に関するプロセスチャートを示す半導体チップの断面図である。

【図7】(e)から(h)はそれぞれ本発明の第2の実施の形態の変形例に関するプロセスチャートを示す半導体チップの断面図である。

【図8】(i)から(l)はそれぞれ本発明の第2の実施の形態の変形例に関するプロセスチャートを示す半導体チップの断面図である。

体チップの断面図である。

【図10】(A)から(D)はそれぞれ第1の従来例に関するプロセスチャートを示す半導体チップの断面図である。

【図11】(E)から(H)はそれぞれ第1の従来例に関するプロセスチャートを示す半導体チップの断面図である。

【図12】(I)から(K)はそれぞれ第1の従来例に関するプロセスチャートを示す半導体チップの断面図である。

【図13】(a)から(d)はそれぞれ第2の従来例に関するプロセスチャートを示す半導体チップの断面図である。

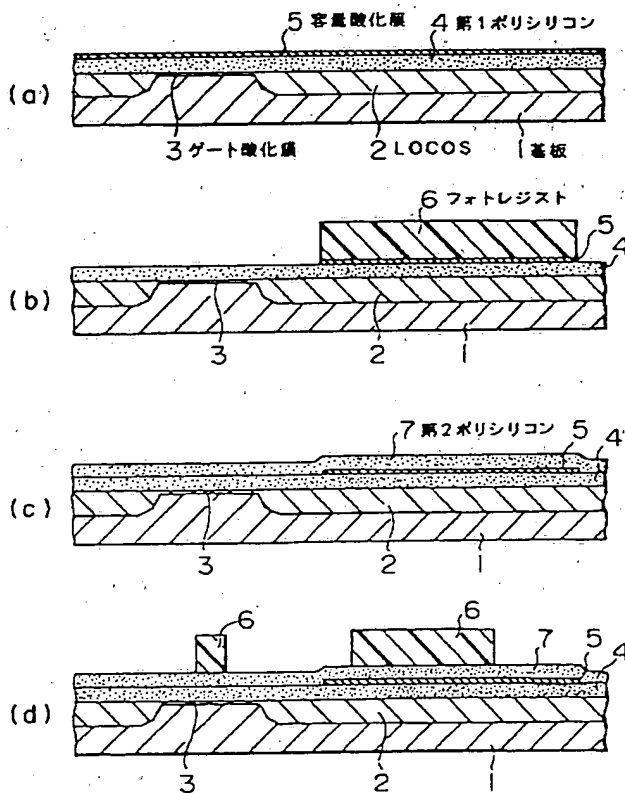
【図14】(e)から(h)はそれぞれ第2の従来例に関するプロセスチャートを示す半導体チップの断面図である。

【図15】(i)から(k)はそれぞれ第2の従来例に関するプロセスチャートを示す半導体チップの断面図である。

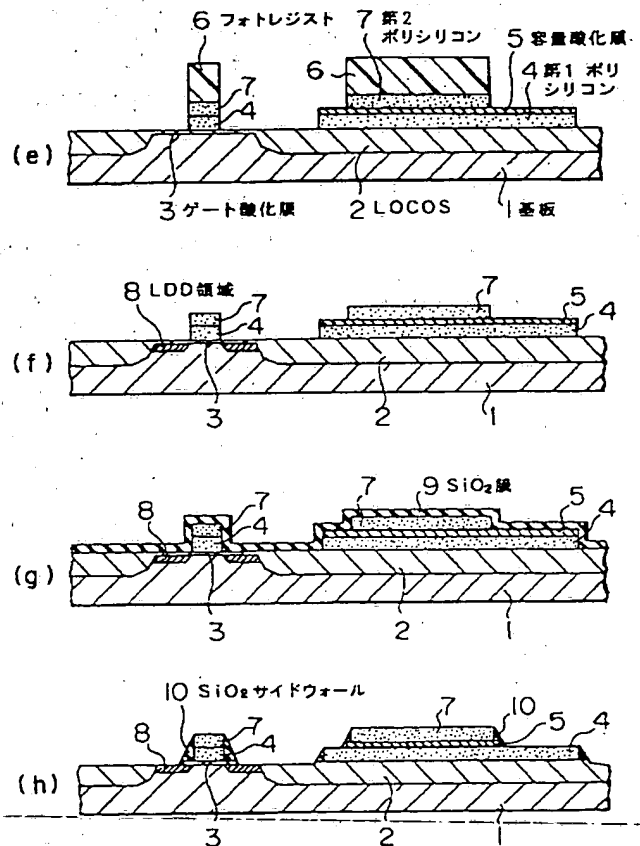
【符号の説明】

- 1 基板
- 2 LOCOS
- 3 ゲート酸化膜
- 4 第1ポリシリコン
- 5 容量酸化膜
- 6 フォトレジスト
- 7 第2ポリシリコン
- 8 LDD領域
- 9、15、19 SiO_2 膜
- 10 SiO_2 サイドウォール
- 11 SD領域
- 12 Ti膜
- 13 チタンシリサイド膜
- 14 層間膜
- 16 タングステンシリサイド膜
- 17 容量窒化膜
- 18 マスク窒化膜
- 19 未反応Ti膜

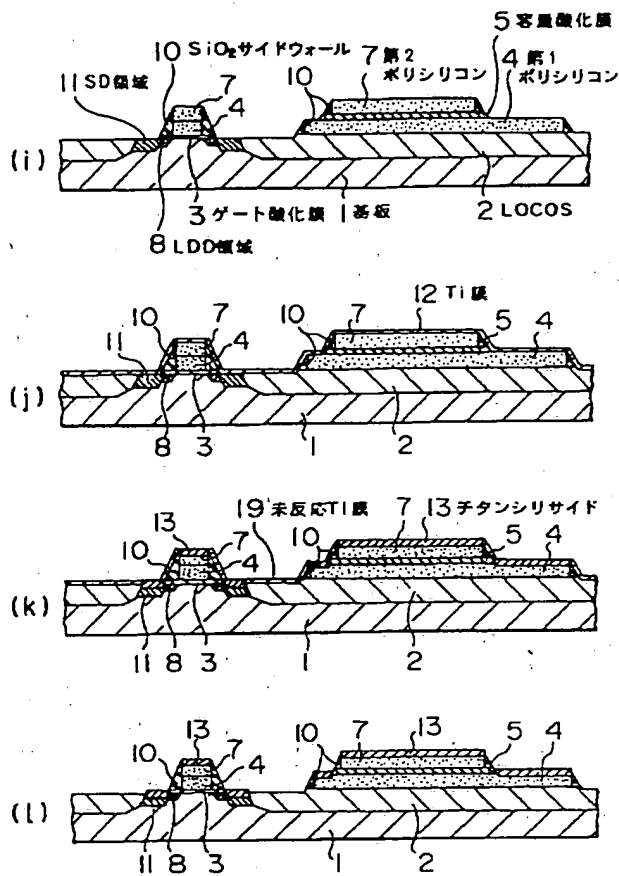
【図1】



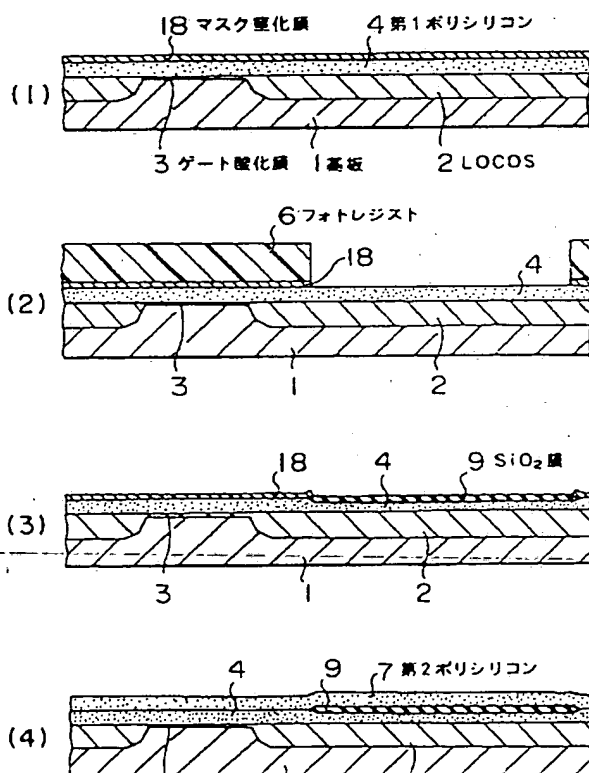
【図2】



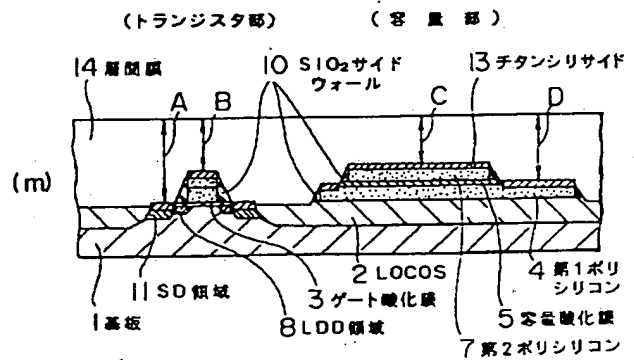
【図3】



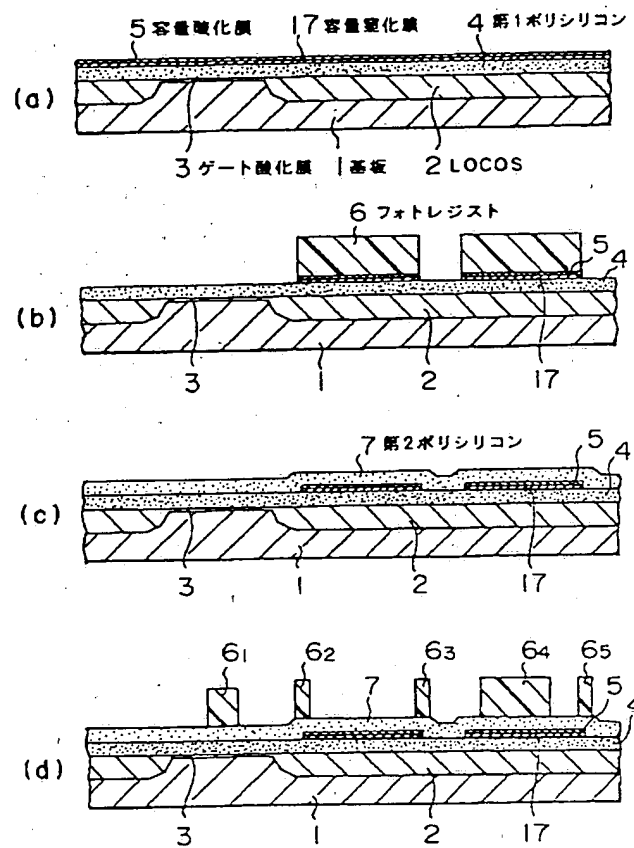
【図5】



【図4】

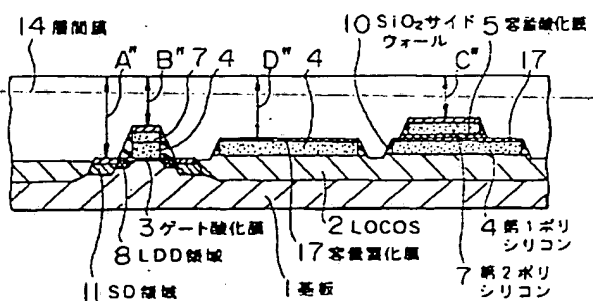


【図6】

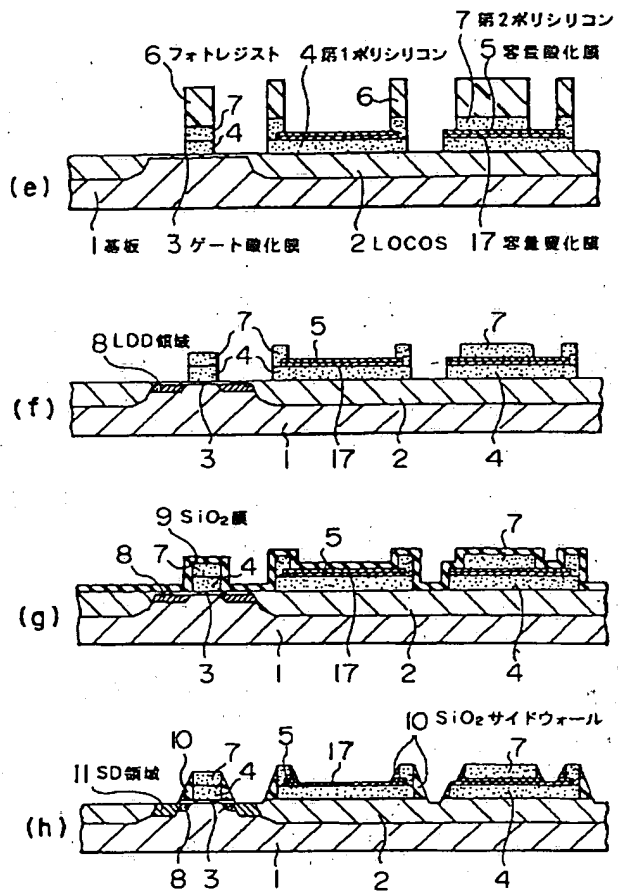


【図9】

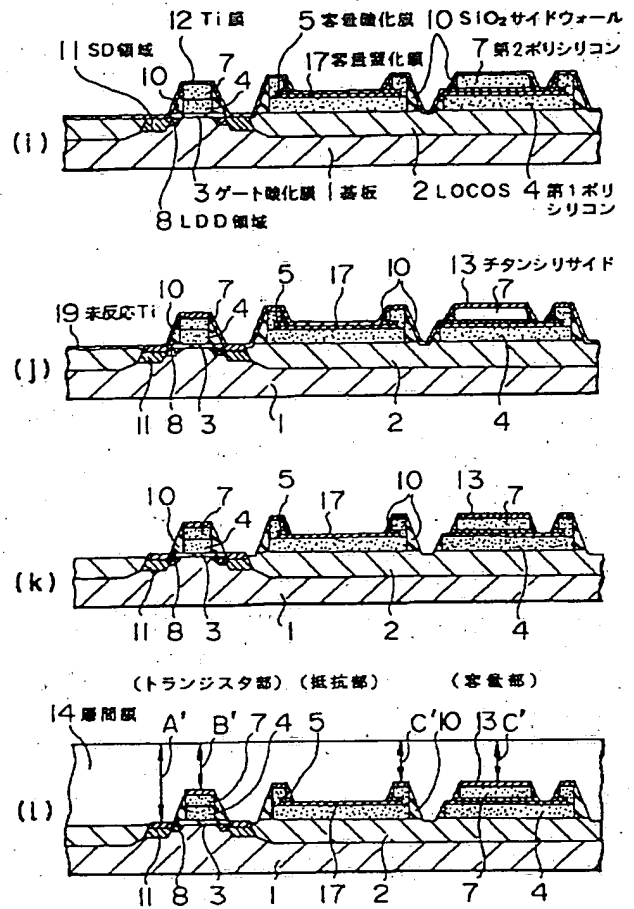
(トランジスタ部) (抵抗部) (容量部)



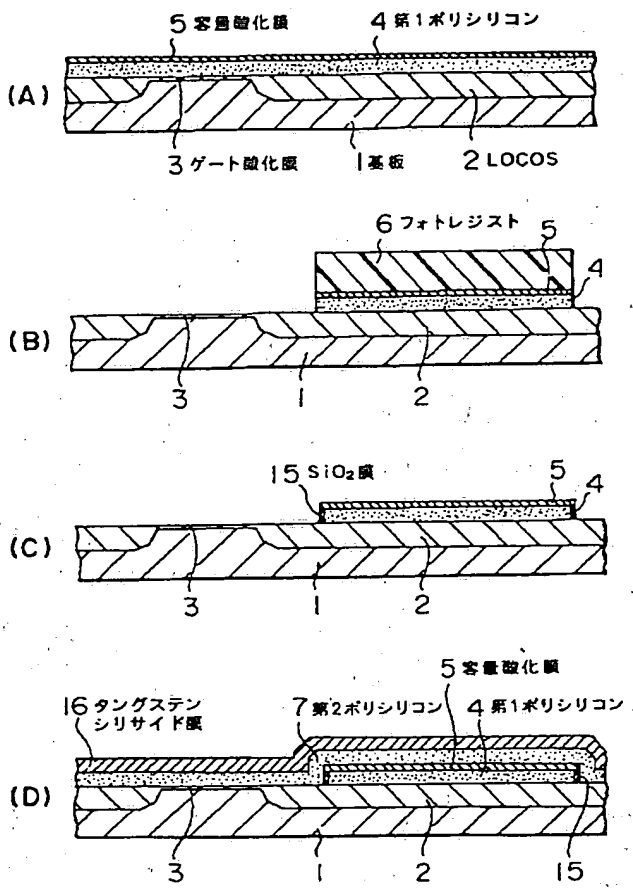
【図7】



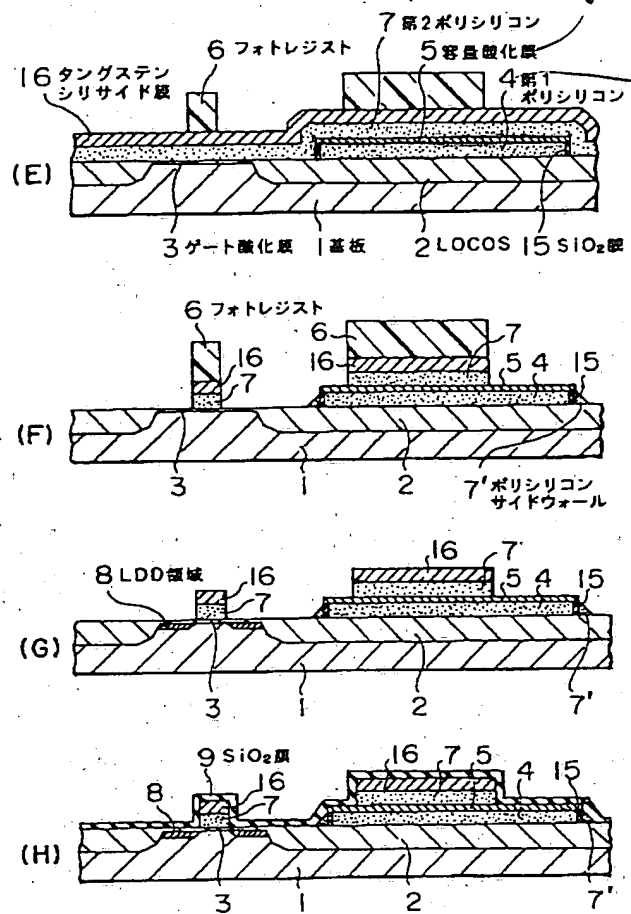
【図8】



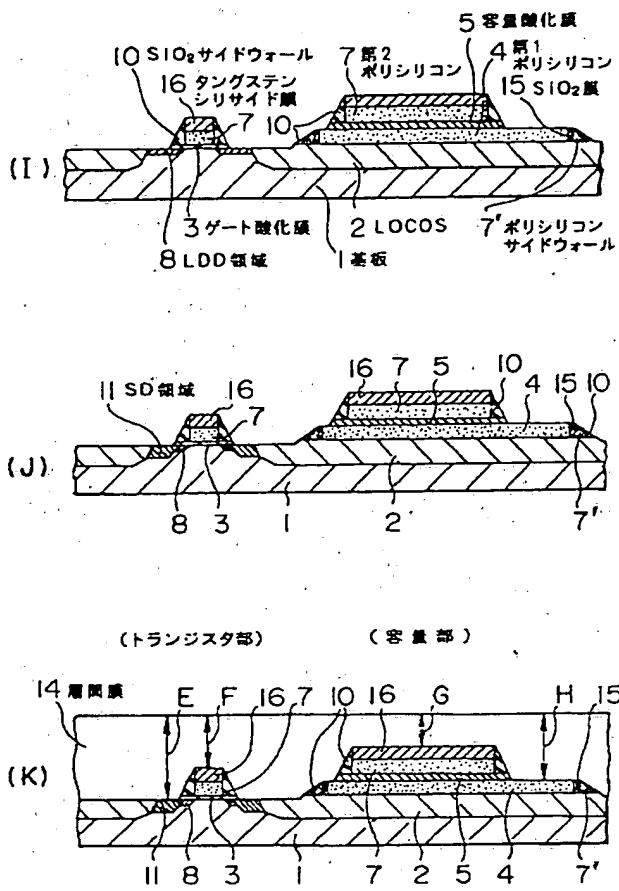
【図10】



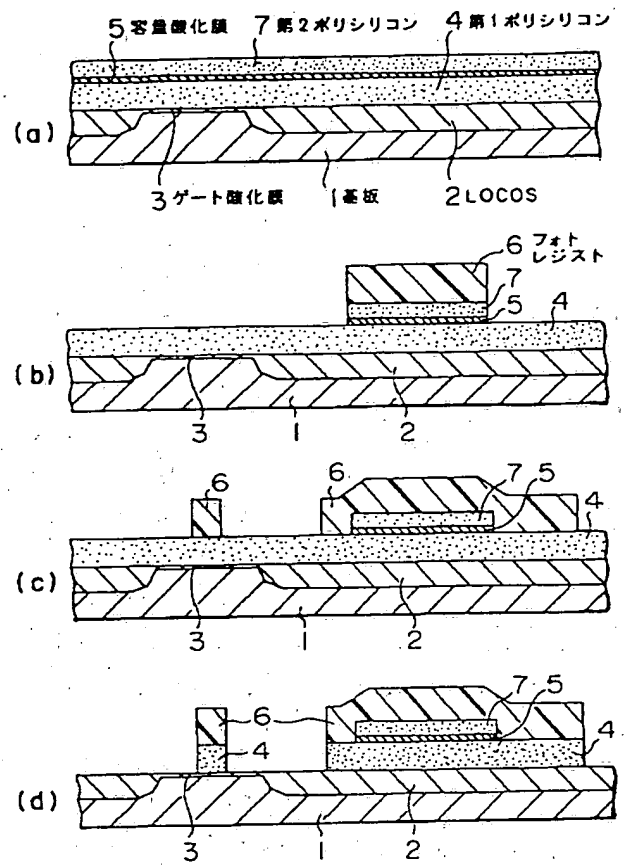
【図11】



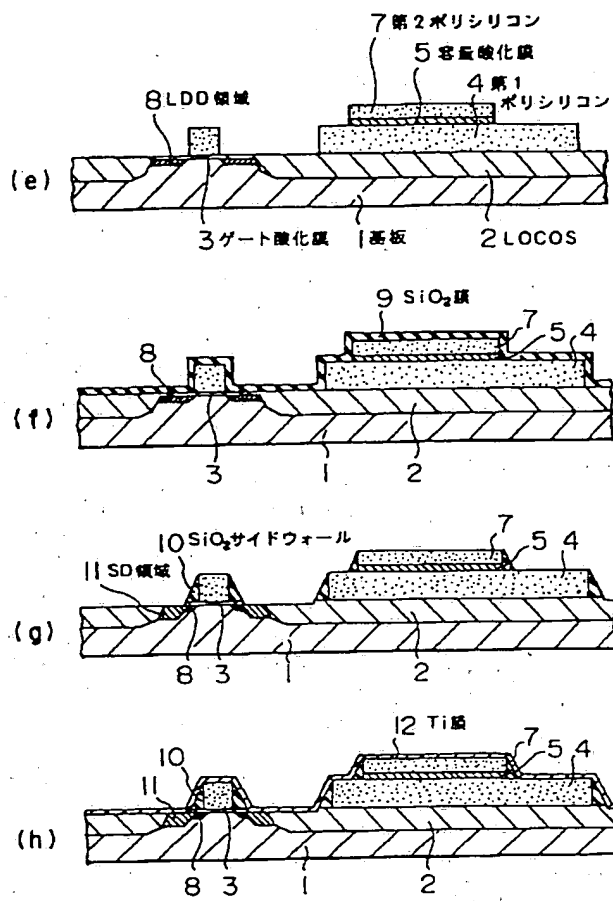
【図12】



【図13】



【図14】



【図15】

